

Docket No.: 67161-132

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Yoshihiro MIYAGAWA : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: December 12, 2003 : Examiner:
For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. 2002-370025 (P), filed on December 20, 2002
Japanese Patent Application No. 2003-347115 (P), filed on October 6, 2003.

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: December 12, 2003

67161-132

Yoshihiro MIYAGAWA

December 12, 2003

日本国特許庁 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月6日
Date of Application:

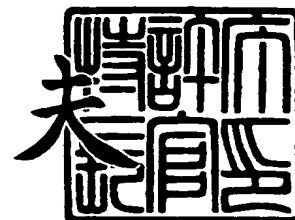
出願番号 特願2003-347115
Application Number:
[ST. 10/C]: [JP 2003-347115]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年11月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3093539

【書類名】 特許願
【整理番号】 542733JP02
【提出日】 平成15年10月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/762
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 宮河 義弘
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100064746
 【弁理士】
 【氏名又は名称】 深見 久郎
【選任した代理人】
 【識別番号】 100085132
 【弁理士】
 【氏名又は名称】 森田 俊雄
【選任した代理人】
 【識別番号】 100083703
 【弁理士】
 【氏名又は名称】 仲村 義平
【選任した代理人】
 【識別番号】 100096781
 【弁理士】
 【氏名又は名称】 堀井 豊
【選任した代理人】
 【識別番号】 100098316
 【弁理士】
 【氏名又は名称】 野田 久登
【選任した代理人】
 【識別番号】 100109162
 【弁理士】
 【氏名又は名称】 酒井 將行
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-370025
 【出願日】 平成14年12月20日
【手数料の表示】
 【予納台帳番号】 008693
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0307628

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板上に複数のゲート電極およびゲート絶縁膜の組み合わせが平行に並んで延びるように形成された半導体装置の製造方法であって、

前記複数のゲート電極およびゲート絶縁膜、ならびに前記半導体基板それぞれの表面に沿うように第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜の上に、該第 1 の絶縁膜とは異なる第 2 の絶縁膜を形成する工程とを備え、

前記第 1 の絶縁膜を形成する工程と前記第 2 の絶縁膜を形成する工程とを交互に繰返す、半導体装置の製造方法。

【請求項 2】

前記第 1 の絶縁膜は、

O_3 の濃度が $0 \sim 3.0 \text{ wt} \%$ であり、

$O_3/TEOS$ のモル比が 3.0 以下であり、

成膜温度が $450^\circ\text{C} \sim 550^\circ\text{C}$ であり、

成膜圧力が $266 \sim 798 \text{ hPa}$ であり、かつ、

キャリアガス種が、不活性ガスであるという条件で、形成される、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の絶縁膜は USG により構成されており、

第 2 の絶縁膜は BPSG、PSG、BSG、および USG からなる群より選択された 1 の物質により構成されている、請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の絶縁膜の膜厚は、隣接する 2 つの前記ゲート電極同士の間の距離の $3 \sim 5 \%$ である、請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の絶縁膜を形成する工程は、

O_3 の濃度が $8.0 \sim 17.0 \text{ wt} \%$ であり、

$O_3/TEOS$ のモル比が $3.0 \sim 15.0$ であり、

成膜温度は $450^\circ\text{C} \sim 550^\circ\text{C}$ であり、

成膜圧力は $266 \sim 798 \text{ hPa}$ であり、

P および B のうち少なくともいずれか一方からなる不純物の総濃度は $15 \text{ wt} \%$ 以下であり、かつ、

キャリアガス種が、不活性ガスであるという条件で行なわれる、請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の絶縁膜の膜厚は、隣接する 2 つの前記ゲート電極同士の間の距離の $5 \sim 10 \%$ である、請求項 1 に記載の半導体装置の製造方法。

【請求項 7】

隣接する 2 つの前記ゲート電極同士の間の隙間において前記第 1 の絶縁膜または前記第 2 の絶縁膜により形成される凹部が、前記ゲート電極の上表面よりも上側に達するまで、前記第 1 の絶縁膜を形成する工程と前記第 2 の絶縁膜を形成する工程とが繰返される、請求項 1 に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 の絶縁膜は、チャンバー内へ流入する複数種類のガスからなる反応ガスを用いて堆積され、

前記第 2 の絶縁膜を堆積する工程の後に、前記複数種類のガスのうち少なくとも 1 種類のガスは前記チャンバ内へ供給されることが停止され、かつ、前記チャンバ内の圧力が一定に保持されるように前記反応ガスとは異なるガスであって前記第 2 の絶縁膜の堆積のための反応を生じさせないガスが前記チャンバ内へ流入する、請求項 1 に記載の半導体装置

の製造方法。

【請求項 9】

前記第 2 の絶縁膜は、チャンバー内へ流入する複数種類のガスからなる反応ガスを用いて堆積され、

前記第 2 の絶縁膜を堆積する工程の後に、前記複数種類のガスのうち少なくとも 1 種類のガスは前記チャンバ内へ供給されることが停止され、かつ、前記チャンバ内の圧力が一定に保持されるように前記複数種類のガスのうちの少なくとも 1 種類のガスが前記チャンバ内へ流入し続ける、請求項 1 に記載の半導体装置の製造方法。

【請求項 10】

前記第 2 の絶縁膜は、チャンバー内へ流入する複数種類のガスからなる反応ガスを用いて堆積され、

前記第 2 の絶縁膜を堆積する工程の後に、前記複数種類のガスのうち少なくとも 1 種類のガスは排出用ラインを用いて前記チャンバ外へ流され、かつ、前記チャンバ内の圧力が一定に保持されるように前記反応ガスとは異なるガスであって前記第 2 の絶縁膜の堆積のための反応を生じさせないガスが前記チャンバ内へ流入する、請求項 1 に記載の半導体装置の製造方法。

【請求項 11】

前記第 2 の絶縁膜は、チャンバー内へ流入する複数種類のガスからなる反応ガスを用いて堆積され、

前記第 2 の絶縁膜を堆積する工程の後に、前記複数種類のガスのうち少なくとも 1 種類のガスは排出用ラインを用いて前記チャンバ外へ流され、かつ、前記チャンバ内の圧力が一定に保持されるように前記複数種類のガスのうちの少なくとも 1 種類のガスが前記チャンバ内へ流入し続ける、請求項 1 に記載の半導体装置の製造方法。

【請求項 12】

前記第 1 の絶縁膜を形成する工程と前記第 2 の絶縁膜を形成する工程とが繰返された後において、前記第 1 の絶縁膜および前記第 2 の絶縁膜のうち最後に形成された膜の上に第 3 の絶縁膜を形成する、請求項 1 に記載の半導体装置の製造方法。

【請求項 13】

前記第 3 の絶縁膜を形成する工程は、

成膜圧力が 266 hPa 以下であり、

O₃ の濃度が 8.0 ~ 17.0 wt % であり、

O₃/TEOS のモル比が 3.0 ~ 15.0 であり、

成膜温度は 450℃ ~ 550℃ であり、かつ

キャリアガス種は、不活性ガスであるという条件で行なわれる、請求項 12 に記載の半導体装置の製造方法。

【請求項 14】

前記第 3 の絶縁膜の膜厚は、1.5 μm 以下である、請求項 12 に記載の半導体装置の製造方法。

【請求項 15】

前記第 3 の絶縁膜は、USG 膜である、請求項 12 に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置の製造方法

【技術分野】

【0001】

本発明は、複数のゲート電極同士の間が絶縁膜で埋込まれる半導体装置の製造方法に関するものである。

【背景技術】

【0002】

従来より、一般に、ゲート電極とゲート電極との間が非常に狭い場合には、ゲート電極とゲート電極との間に埋め込まれる絶縁膜として、BPSG (Boro-Phospho-Silicate Glass) 膜または高密度プラズマを用いた化学気相成長法 (High-Density-Plasma Chemical Vapor Deposition; HDPCVD) により形成されたHDPCVD膜が用いられている。

【0003】

また、このBPSG膜またはHDPCVD膜が、ゲート電極同士の間に適正に埋め込まれるように、BPSG膜またはHDPCVD膜に熱処理を施すことにより、BPSG膜またはHDPCVD膜をリフローさせる方法が用いられている。

【0004】

従来の半導体デバイスは、ゲート電極とゲート電極との間の距離が、 $0.1\mu\text{m}$ 以上であり、ゲート電極とゲート電極との間の隙間のアスペクト比が、3以下である。また、従来の半導体デバイスは、BPSG膜またはHDPCVD膜を堆積した後の熱処理工程において、高温処理 (850°C 以上のファーンেস処理または 950°C 以上のランプアニール)を行なうことにより半導体デバイスの特性に悪影響をもたらされることがない。そのため、従来の半導体デバイスは、ゲート電極同士の間隙の埋込においても不良が発生することはない。つまり、従来の半導体デバイスの製造工程においては、BPSG膜またはHDPCVD膜を堆積した後の高温処理により、BPSG膜またはHDPCVD膜の成膜時に形成されたボイドを消失させることが可能である。

【0005】

また、 O_3/TEOS (Tetra Ethyl Ortho Silicate) 常圧CVD反応による成膜においては、堆積される膜の下地の膜種および表面状態が、堆積される膜の特性に大きく影響する。そのため、等方的な成膜または正常な成膜を行なうためには、成膜前に、ウェットエッチ、プラズマ処理、またはアニールなどの処理を行なっている。それにより、下地の表面の改質が行なわれる。その結果、下地の状態が形成される膜に与える悪影響が軽減された状態で、下地の上にBPSG膜またはHDPCVD膜が形成される。

【特許文献1】特開2000-200831号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年の半導体デバイスにおいては、微細化、高密度化、および高アスペクト比化が望まれている。また、一方、近年の半導体デバイスにおいては、BPSGなどの絶縁膜をリフローするための熱処理の低温化が望まれている。そのため、ゲート電極同士の間隙の埋込を良好に行なうことができない場合もある。その場合には、ゲート電極同士間に設けられ、それぞれ別個に一のソース/ドレイン領域と他のソース/ドレイン領域とに接続されるコンタクトプラグ同士がショートする。それにより、大量のリーク電流が発生するため、トランジスタが正常に動作しないという問題が起きている。

【0007】

たとえば、LP (Low Pressure)-CVD法を用いて形成されたTEOS膜、ならびに、 SiH_4/O_2 系常圧CVD法または TEOS/O_3 系CVD法を用いて形成されたBPSG膜を用いて、間隔が狭く、高アスペクト比であり、かつ、変形した形状のゲート電極同士の間隙に絶縁膜を形成する。この絶縁膜は、上部がオーバーハングしてしまうため、ゲート電極同士の間隙のカバレッジの状態が悪い。そのため、絶縁膜には、非常に大きな

ボイドが残ってしまう。

【0008】

この大きなボイドを消失させるためには、絶縁膜を形成した後に、ファーンズ処理を用いる場合850℃で15分以上、ランプアニールを用いる場合950℃で30秒以上の熱処理工程が必須になる。

【0009】

しかしながら、前述の温度での熱処理では、サーマルバジェット（半導体装置の製造工程で半導体装置に加えられるトータルの熱容量）が非常に大きくなる。その結果、トランジスタ特性が悪化するという問題が生じる。そのため、ゲート電極同士の隙間に埋め込まれる絶縁膜の熱処理の低温化または絶縁膜のリフローレス化が必要になる。

【0010】

ゲート電極同士の隙間に埋め込まれる絶縁膜がBPSSG膜である場合には、BPSSGの不純物濃度を高くすることにより、BPSSG膜のリフロー特性がよくなる。そのため、BPSSGの熱処理を低温化（20～30℃）することは可能である。

【0011】

しかしながら、BPSSG膜にコンタクトホールを開口した後にBPSSG膜に対して熱処理が行なわれる場合には、コンタクトホールがスライドすることがある。また、B（ボロン同位体¹⁰B）に起因して、半導体装置にシステムソフトウェアが発生することもある。

【0012】

また、BPSSG膜に含まれるPおよびBが異物として析出するため、後の配線工程が適正に行なわれないことがある。そのため、配線が断線するとともに、BPSSG膜のBおよびPを高濃度化することのみならず、BPSSG膜を使用することまでもが困難な場合がある。

【0013】

また、不純物濃度が高いBPSSG膜は、低温でリフローすることが可能である。しかしながら、BPSSG膜の熱処理（焼締め）が十分に行なわれない場合には、BPSSG膜が露出する部分のBPSSG膜の膜質の劣化に起因して、BPSSG膜から異物が発生する。それにより、配線が断線するため、半導体装置に不良が生じるという問題もある。

【0014】

一方、O₃/TEOS常圧CVD反応により形成された絶縁膜は、上述したように、膜が堆積される下地の表面の状態（膜種、材質、汚染状況などの表面状態）によって膜質が大きく影響される。それにより、下地を親水性から疎水性へ変化させるために下地に表面処理を行なうため、ウェットエッチ、プラズマ処理、またはアニールなどの処理を施することがある。そのため、前工程からのストレージ時間を設定する必要性が生じたり、工程数が増加してしまったり、また、製造ラインの運用に規制が生じてしまったりしている。

【0015】

本発明は、上述のような問題を解決するためになされたものであり、その目的は、ゲート電極同士の間に形成される絶縁膜の状態を良好にすることにより、信頼性が高い半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0016】

本発明の半導体装置の製造方法は、半導体基板上に複数のゲート電極およびゲート絶縁膜の組み合わせが平行に並んで延びるように形成された半導体装置の製造のために用いられる。また、その製造方法は、複数のゲート電極およびゲート絶縁膜、ならびに半導体基板の表面に沿うように第1の絶縁膜を形成する工程と、第1の絶縁膜の上に、第1の絶縁膜とは異なる第2の絶縁膜を形成する工程とを備えている。また、その製造方法においては、第1の絶縁膜を形成する工程と第2の絶縁膜を形成する工程とが交互に繰返し実行される。

【発明の効果】

【0017】

上記の製法によれば、ゲート電極同士の間に形成される絶縁膜の状態を良好にすることにより、信頼性が高い半導体装置を製造することができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態の半導体装置を、図1～図4を参照して説明する。

【0019】

図1に示すように、本実施の形態の半導体装置の製造方法においては、まず、半導体基板10の上にゲート絶縁膜20を形成する。次に、ゲート絶縁膜20の上にゲート電極30を形成する。その後、半導体基板10の表面、ゲート絶縁膜20の側面、ならびに、ゲート電極30の側面および上表面それぞれに沿うように絶縁膜1を形成する。それにより、図1に示す構造が得られる。絶縁膜1を形成する工程においては、化学気相反応および表面反応を利用して、USG (Un-doped Silicate Glass) からなる絶縁膜1を、ゲート電極30とゲート電極30との間の距離の3～5%の膜厚で堆積させる。

【0020】

この絶縁膜1を形成する工程（プレデポジション）を行なう目的は、下地である半導体基板10の表面、ゲート絶縁膜20の側面、ならびに、ゲート電極30の側面および上表面を改質することである。そのため、低濃度のO₃を含む雰囲気中で絶縁膜1を形成することが効果的である。

【0021】

また、絶縁膜1をゲート電極30とゲート電極30との間の距離の5%以上の膜厚に形成すると、ゲート電極30同士の上に形成される絶縁膜1の形状は、オーバーハング形状になってしまう。さらに、ゲート間絶縁膜がオーバーハング形状になってしまうと、その後の成膜ステップにおいて、ゲート電極30同士の上に形成される絶縁膜2に確実にボイドが形成されてしまう。そのため、絶縁膜1の膜厚は、ゲート電極30同士の上の距離の3～5%の範囲であることが望ましい。

【0022】

なお、絶縁膜1の詳細な成膜条件は以下に示すとおりである。

【0023】

成膜の雰囲気中のオゾン（O₃）濃度は、0～3wt%である。また、O₃/TEOSのモル比は、0～3.0である。成膜温度は、450℃～550℃である。成膜圧力は、200～600Torr（266～798hPa）である。キャリアガス種は、不活性ガスの一例としてのHe/N₂混合ガスが用いられる。

【0024】

前述の絶縁膜1を形成した後、図2に示すように、絶縁膜1の表面に沿うように絶縁膜2を形成する工程（メインデポジション）を行なう。絶縁膜2を成膜するときには、絶縁膜1の成膜の場合とは異なり、成膜雰囲気中のオゾン（O₃）濃度を8.0～17.0wt%に変更する。オゾン（O₃）濃度の条件を変更するのは、下地の表面または表面近傍において、分子量の大きい中間生成物（Precursor）を形成するためである。これにより、分子量の大きい中間生成物は、流動性があるため、絶縁膜1の上に形成される絶縁膜2が、ゲート電極30の上側部の近傍でオーバーハングしない。

【0025】

なお、絶縁膜2は、BPSG、PSG、BSG、またはUSGからなる。また、絶縁膜2の成膜条件は、次に示すとおりである。

【0026】

成膜温度は、450℃～550℃である。成膜圧力は、200～600Torr（266～798hPa）である。PおよびBのうち少なくともいずれか一方からなる不純物の総濃度は、15wt%以下である。また、O₃/TEOSモル比は、3.0～15.0である。キャリアガス種は、不活性ガスの一例としてのHeガスまたはHe/N₂混合ガスが用いられる。また、絶縁膜2の膜厚は、ゲート電極30同士の上の距離の5～10%である。

【0027】

なお、絶縁膜2の成膜時には、絶縁膜2を形成するための反応ガスとしてのTEOS、TEB (Triethyl Borate: $(C_2H_5O)_3B$)、TEPO (Triethyl Phosphate: $(C_2H_5O)_3PO$)、および O_3 などのガスを反応室内に供給する。

【0028】

さらに、絶縁膜2の成膜ステップが完了した後は、絶縁膜2の堆積のための反応ガスの供給を停止するとともに、反応室内の圧力を一定に保つために、反応室内には O_3 ではなく O_2 を送るようにする。それにとまって、TEOS以外のTEBまたはTEPOなどのガスをベントライン (排出用ライン) を使用して反応室以外へ流すか、または、それらのガス (TEBまたはTEPO) の供給をストップする。

【0029】

また、前述のステップの別な態様として、反応室内の圧力を一定に保つために、 O_3 を反応室内に連続的に送り続けるとともに、TEOS、TEB、およびTEPOガスをベントラインに流してもよい。なお、この手法の場合、TEBおよびTEPOガスの反応室への供給をストップしてもよい。

【0030】

このステップにおいては、連続的なメインデポジションを一時中断することにより、絶縁膜2が下地に吸着した後、吸着面に沿って絶縁膜2が自己平坦化 (表面マイグレーション) される。この自己平坦化を十分に行なうためには、メインデポジションを15秒以上中断することが必要である。

【0031】

上述のプリデポジションおよびメインデポジションのステップをゲート電極30同士の間が完全にボイドフリーで埋込まれるまで繰返す。すなわち、絶縁膜2の表面により形成される凹部の底面が、ゲート電極30の上表面よりも高い位置になるまで、絶縁膜1および絶縁膜2を形成する工程を交互に繰返す。それにより、図3に示すように、絶縁膜N-1の上に絶縁膜Nを形成する。なお、Nは自然数である。

【0032】

また、図3および次に説明する図4には、絶縁膜2の上に絶縁膜N-1が形成されているが、図の描写上の制限から、そのように記載したにすぎず、ゲート電極30の幅と絶縁膜1および絶縁膜2の膜厚との関係により、絶縁膜2と絶縁膜N-1の間には、さらに、何層か絶縁膜が含まれていてもよい。

【0033】

最後に、ゲート電極30同士の間での埋込が完全に終了した後に、次に示す条件で、図4に示すように、絶縁膜Nの上に、膜厚が $1.5\mu m$ 以下のUSG (Un-doped Silicate Glass) からなる絶縁膜N+1の成膜を行なう。

【0034】

成膜圧力は、成膜レートが大きくなるように、200 Torr (266 hPa) 以下である。成膜温度、 O_3 の濃度、キャリアガス種 (不活性ガスの一例としてのHe/ N_2 混合ガス)、および O_3 /TEOSのモル比については絶縁膜2の成膜条件と同じである。

【0035】

上記のような本実施の形態の半導体装置の製造方法によれば、プリデポジションおよびメインデポジションを繰返すことにより、次のような効果がある。ゲート電極30同士の間が狭い場合においても、ゲート電極30同士の間で良好に絶縁膜の埋込を行なうことができる。また、上記の製造方法によれば、絶縁膜1および2の形成工程においてリフローレスなので、半導体装置の製造工程のサーマルバジェットを抑制することができるため、半導体装置の性能を向上させることができる。

【0036】

また、下地の表面改質のためのウエットエッチ、プラズマ処理、またはアニールなどの工程が不要であるため、製造工程数を低減することができる。また、最終デポジション膜をUSG膜にすることにより、BPSGに特有の熱処理後の巨大異物 (チップキラー異物

）の発生を抑制することができる。そのため、後工程において、巨大異物に起因した不良が発生する確率を低減することができるため、半導体装置の歩留りを向上することが可能となる。

【0037】

またさらに、上記の製造方法によれば、Bなどの不純物の使用量を削減することにより、B（ボロン同位体¹⁰B）などの不純物に起因したシステムのソフトエラーを低減することができる。その結果、半導体装置の歩留まりおよび品質を向上することが可能となる。

【0038】

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0039】

【図1】実施の形態の半導体装置の製造方法を説明するための図である。

【図2】実施の形態の半導体装置の製造方法を説明するための図である。

【図3】実施の形態の半導体装置の製造方法を説明するための図である。

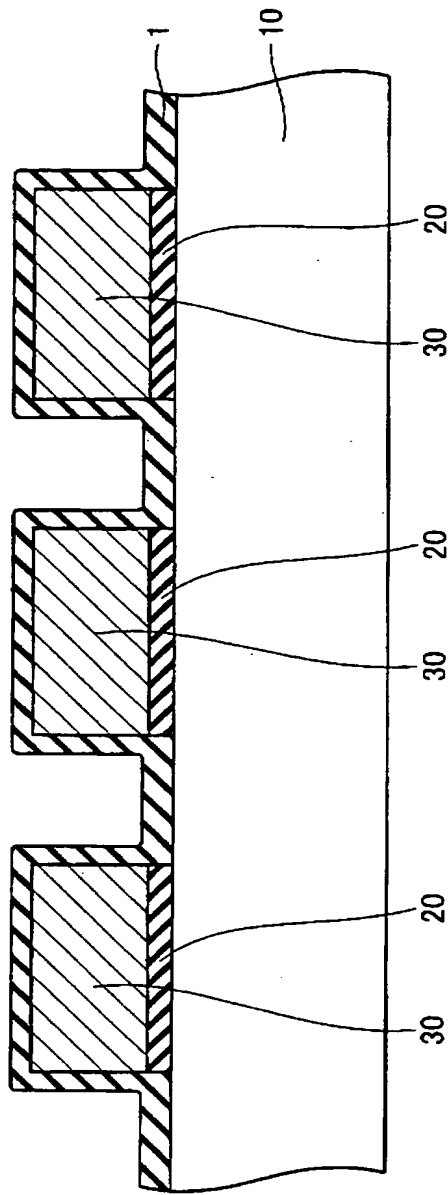
【図4】実施の形態の半導体装置の製造方法を説明するための図である。

【符号の説明】

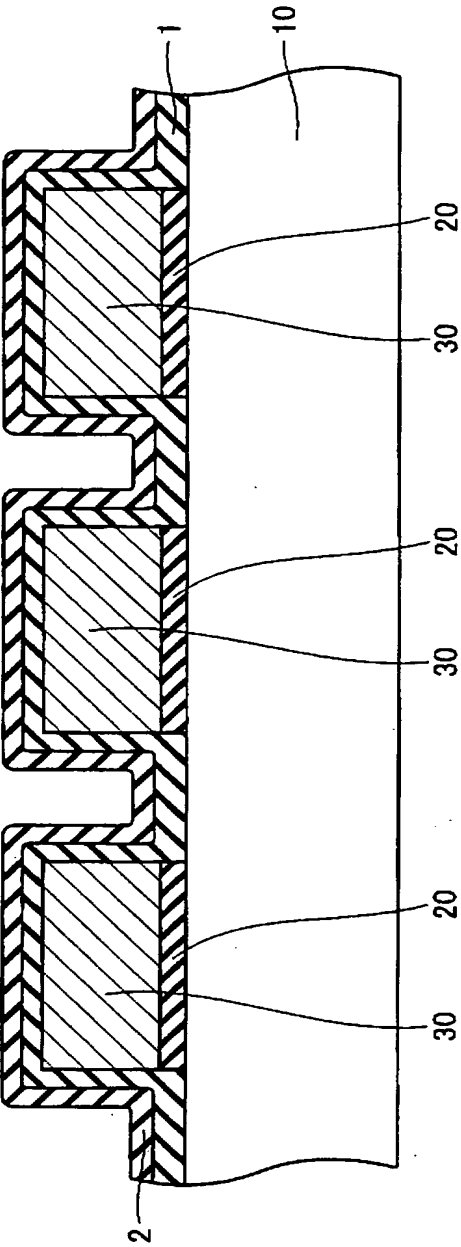
【0040】

1, 2, N-1, N, N+1 絶縁膜、10 半導体基板、20 ゲート絶縁膜、30 ゲート電極。

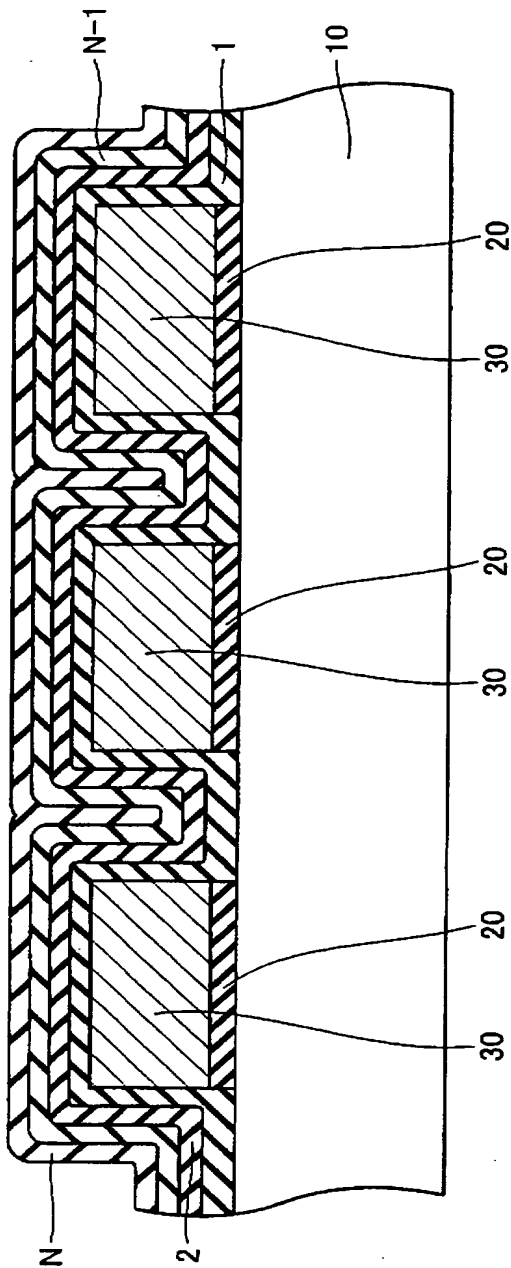
【書類名】 図面
【図 1】



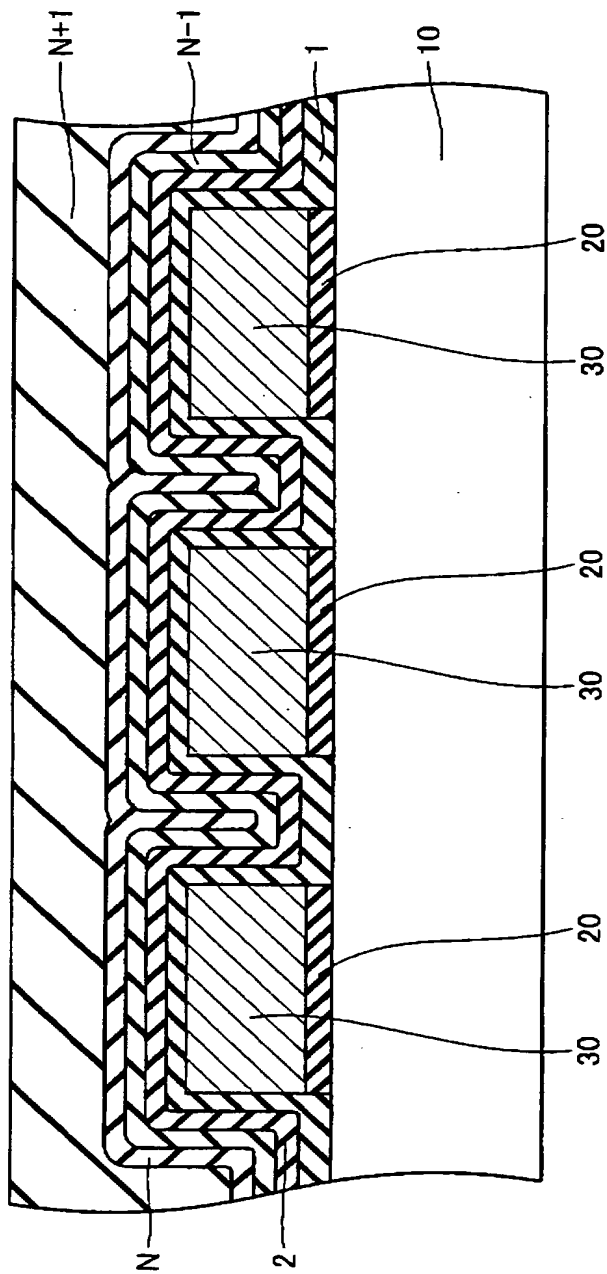
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ゲート電極同士の間形成される絶縁膜の状態を良好にすることにより、信頼性が高い半導体装置を提供する。

【解決手段】 まず、複数のゲート電極 30 およびゲート絶縁膜 20、ならびに半導体基板 10 それぞれの表面に沿うように絶縁膜 1 を形成する。次に、絶縁膜 1 の上に、絶縁膜 1 とは異なる絶縁膜 2 を形成する。絶縁膜 1 および絶縁膜 2 のうち最後に形成される絶縁膜 N の表面により構成された凹部がゲート電極 30 の上表面よりも上側に位置するまで、前述の絶縁膜 1 を形成する工程と絶縁膜 2 を形成する工程とを交互に繰り返す。その後、絶縁膜 N の上に絶縁膜 N+1 を形成する。

【選択図】 図 4

特願 2 0 0 3 - 3 4 7 1 1 5

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ